

Family list

15 family members for: JP6268212

Derived from 10 applications

- 1 Transistor, semiconductor circuit, and method of forming the same**
Inventor: ZHANG HONGYONG (JP); UOCHI HIDEKI **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
 (JP); (+1)
EC: H01L21/20D; H01L21/336D2B; (+5) **IPC:** H01L21/20; H01L21/336; H01L21/8238
 (+14)
Publication info: CN1094851 A - 1994-11-09
 CN1126179C C - 2003-10-29
- 2 Transistor, semiconductor circuit and making method thereof**
Inventor: HIROYU CHO (JP); HIDEKI UOCHI (JP); **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
 (+1)
EC: H01L21/20D; H01L21/336D2B; (+5) **IPC:** H01L21/20; H01L21/336; H01L21/8238
 (+13)
Publication info: CN1215223 A - 1999-04-28
 CN1221018C C - 2005-09-28
- 3 Method for producing transistor and semiconductor device circuit**
Inventor: MUTSUO ZHANG HONG-YONG UOCHI H **Applicant:** SEMICONDUCTOR ENERGY LAB K K (JP)
 (JP)
EC: **IPC:** H01L21/20; H01L21/336; H01L21/265 (+)
Publication info: CN1741257 A - 2006-03-01
- 4 SEMICONDUCTOR CIRCUIT AND MANUFACTURE THEREOF**
Inventor: CHIYOU KOUYUU; TAKAYAMA TORU; **Applicant:** SEMICONDUCTOR ENERGY LAB
 (+2)
EC: **IPC:** H01L21/20; H01L21/265; H01L21/324 (+)
Publication info: JP3359689B2 B2 - 2002-12-24
 JP6268212 A - 1994-09-22
- 5 THIN FILM TRANSISTOR AND PREPARATION THEREOF**
Inventor: CHIYOU KOUYUU; UOJI HIDEKI; (+2) **Applicant:** SEMICONDUCTOR ENERGY LAB
EC: **IPC:** H01L21/20; H01L21/265; H01L21/324
 (+10)
Publication info: JP3369244B2 B2 - 2003-01-20
 JP6267980 A - 1994-09-22
- 6 THIN FILM TRANSISTOR AND ITS MANUFACTURE**
Inventor: CHO KOYU; UOJI HIDEKI; (+2) **Applicant:** SEMICONDUCTOR ENERGY LAB
EC: **IPC:** H01L21/20; H01L21/265; H01L21/336 (+)
Publication info: JP3369530B2 B2 - 2003-01-20
 JP2000269514 A - 2000-09-29
- 7 TR AND SEMICODUCTOR CIRCUIT FABRICATION METHOD**
Inventor: JAG HONG YOUNG (JP); UOJJI HIDEKI **Applicant:** SEMICONDUCTOR ENERGY LAB K K (JP)
 (JP); (+3)
EC: H01L21/20D; H01L21/336D2B; (+5) **IPC:** H01L21/20; H01L21/336; H01L21/8238
 (+11)
Publication info: KR100197780B B1 - 1999-06-15
- 8 TRANSISTOR AND SEMICONDUCTOR DEVICE CIRCUIT**
Inventor: ZHANG HONG-YONG (JP); UOCHI HIDEKI **Applicant:** SEMICONDUCTOR ENERGY LAB K K (JP)
 (JP); (+3)
EC: **IPC:** H01L29/786; H01L29/66; (IPC1-7):
 H01L29/786
Publication info: KR100229055B B1 - 1999-11-01
- 9 Semiconductor device employing crystallization catalyst**
Inventor: ZHANG HONGYONG (JP); UOCHI HIDEKI **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
 (JP); (+3)
EC: H01L21/20D; H01L21/336D2B; (+5) **IPC:** H01L21/20; H01L21/336; H01L21/8238
 (+14)
Publication info: US5569936 A - 1996-10-29
- 10 Method of forming a thin film transistor**

Inventor: ZHANG HONGYONG (JP); UOCHI HIDEKI **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
(JP); (+3)

EC: H01L21/20D; H01L21/336D2B; (+5)

IPC: H01L21/20; H01L21/336; H01L21/8238
(+11)

Publication info: US5595923 A - 1997-01-21

Data supplied from the *esp@cenet* database - Worldwide

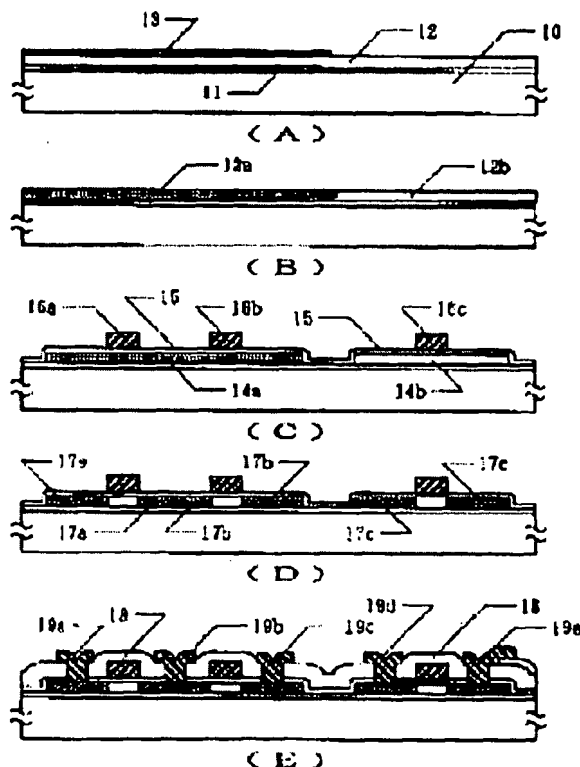
SEMICONDUCTOR CIRCUIT AND MANUFACTURE THEREOF

Patent number: JP6268212
 Publication date: 1994-09-22
 Inventor: CHIYOU KOUYUU; TAKAYAMA TORU; YAMAMOTO MUTSUO; TAKEMURA YASUHIKO
 Applicant: SEMICONDUCTOR ENERGY LAB
 Classification:
 - International: H01L21/20; H01L21/265; H01L21/324; H01L21/336; H01L29/78; H01L29/786; H01L21/02; H01L29/66; (IPC1-7): H01L29/784; H01L21/20; H01L21/265; H01L21/324
 - european:
 Application number: JP19930079000 19930312
 Priority number(s): JP19930079000 19930312

Report a data error here

Abstract of JP6268212

PURPOSE: To form the two kinds of FET, for which high mobility and a low leak current are required, while mass-productivity is being maintained by a method wherein the density of a crystalline silicon film and the catalytic element in an amorphous silicon film is specifically prescribed. **CONSTITUTION:** After a silicon oxide base film 11 has been formed on a substrate 10, an amorphous silicon film 12 is deposited, and it is crystallized in a hydrogen reduction atmosphere. As a result, the amorphous silicon film located on the lower part of a nickel silicide film 13 becomes a crystal silicon film 12a. On the other hand, the silicon film on the region, where a nickel silicide film is not present, is the silicon film 12a in the amorphous state. In order to have crystallization makes progress, at least the density of one element of catalytic material of $1 \times 10^{17} \text{ cm}^{-3}$ or more, or desirably $1 \times 10^{18} \text{ cm}^{-3}$ or more is required. Also, in order to maintain the amorphous state without having crystallization make progress, it is necessary that the density of $1 \times 10^{17} \text{ cm}^{-3}$ or less, desirably $1 \times 10^{16} \text{ cm}^{-3}$ or less is required.



Data supplied from the esp@cenet database - Worldwide

(19)日本特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-268212

(43)公開日 平成6年(1994)9月22日

(51)Int. Cl.

識別記号

F I

H01L 29/784

21/20

21/265

8122-4M

9056-4M

8617-4M

H01L 29/78

21/265

311

C

P

審査請求 未請求 請求項の数10 F D (全7頁) 最終頁に続く

(21)出願番号 特願平5-79000

(22)出願日 平成5年(1993)3月12日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 高山 徹

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 山本 睦夫

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

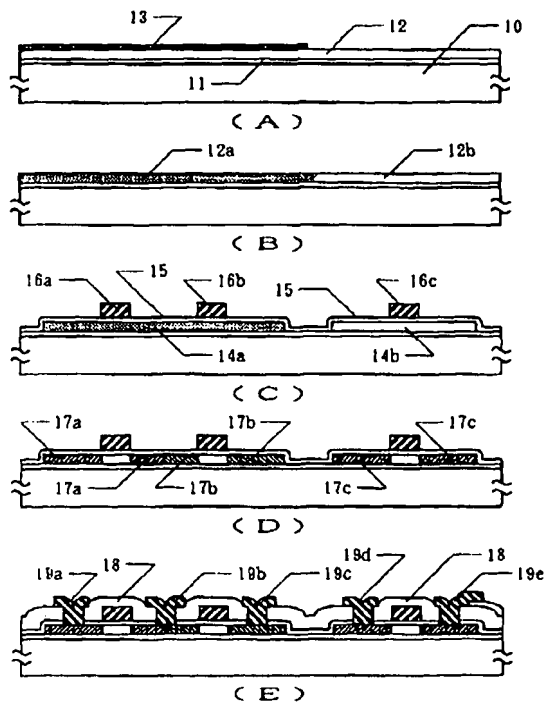
最終頁に続く

(54)【発明の名称】半導体回路およびその作製方法

(57)【要約】

【目的】 結晶性シリコンの活性層を有する薄膜トランジスタとアモルファスシリコンの活性層を有する薄膜トランジスタを有する半導体回路およびそのような回路を作製するための方法を提供する。

【構成】 アモルファスシリコン膜に密着して触媒元素を有する物質を形成し、もしくはアモルファスシリコン膜中に触媒元素を導入し、このアモルファスシリコン膜を、通常のアモルファスシリコンの結晶化温度よりも低い温度でアニールすることによって、選択的に結晶化をおこない、結晶化した領域をアクティブマトリクス回路の周辺駆動回路に使用される結晶シリコンTFTに、アモルファスのままの領域を画素回路に使用されるアモルファスシリコンTFTに用いる。



【特許請求の範囲】

【請求項1】 基板上に、結晶性シリコン膜の活性領域を有する薄膜トランジスタと、アモルファスシリコン膜の活性領域を有する薄膜トランジスタとを有する半導体回路において、前記結晶性シリコン膜およびアモルファスシリコン膜は同一層内にあり、前記結晶性シリコン膜中には、 10^{14} cm^{-3} またはそれ以上の濃度の触媒元素を有し、前記アモルファスシリコン膜での触媒元素の濃度は、 10^{14} cm^{-3} 未満であることを特徴とする半導体回路。

【請求項2】 請求項1において、該結晶性シリコン膜中の触媒元素の濃度は $5 \times 10^{12} \text{ cm}^{-3}$ 以上であることを特徴とする半導体回路。

【請求項3】 請求項1において、該アモルファスシリコン膜中の触媒元素の濃度は $1 \times 10^{14} \text{ cm}^{-3}$ 以下であることを特徴とする半導体回路。

【請求項4】 請求項1において、触媒元素は、ニッケル、鉄、コバルト、白金の少なくとも1つであることを特徴とする半導体回路。

【請求項5】 請求項1において、アモルファスシリコン膜の活性領域を有する薄膜トランジスタをアクティブマトリクス領域のトランジスタに使用したことを特徴とする半導体回路。

【請求項6】 請求項1において、結晶性シリコン膜の活性領域を有する薄膜トランジスタをシフトレジスタ回路に使用したことを特徴とする半導体回路。

【請求項7】 請求項1において、触媒元素の濃度は2次イオン質量分析法によって測定された最小値によって定義されることを特徴とする半導体回路。

【請求項8】 基板上に、結晶性シリコン膜の活性領域を有する薄膜トランジスタと、アモルファスシリコン膜の活性領域を有する薄膜トランジスタとを有する半導体回路において、前記結晶性シリコン膜およびアモルファスシリコン膜は同一層内にあり、前記結晶性シリコン膜中に含有される触媒元素の濃度は前記アモルファスシリコン膜での触媒元素の濃度の10倍以上であることを特徴とする半導体回路。

【請求項9】 アモルファスシリコン膜およびそれに密着して触媒元素を有する物質を選択的に形成する第1の工程と、

通常のアモルファスシリコンの結晶化温度よりも低い温度においてアニールすることにより、前記触媒元素の密着した部分のアモルファスシリコン膜を結晶化させる第2の工程と、

少なくとも1つのアモルファスシリコンの領域と少なくとも1つの結晶性シリコンの領域をパターンニングする第3の工程と、

前記アモルファスシリコンの領域と結晶性シリコンの領域に、それぞれ少なくとも1つのゲート電極を形成する第4の工程とを有することを特徴とする半導体回路の作

製方法。

【請求項10】 アモルファスシリコン膜に触媒元素を導入する第1の工程と、

通常のアモルファスシリコンの結晶化温度よりも低い温度においてアニールすることにより、前記触媒元素の密着した部分のアモルファスシリコン膜を結晶化させる第2の工程と、

少なくとも1つのアモルファスシリコンの領域と少なくとも1つの結晶性シリコンの領域をパターンニングする第3の工程と、

前記アモルファスシリコンの領域と結晶性シリコンの領域に、それぞれ少なくとも1つのゲート電極を形成する第4の工程とを有することを特徴とする半導体回路の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ(TFT)を複数個有する半導体回路および作製方法に関するものである。本発明によって作製される薄膜トランジスタは、ガラス等の絶縁基板上、単結晶シリコン等の半導体基板上、いずれにも形成される。特に本発明は、モノリシック型アクティブマトリクス回路(液晶ディスプレイ等に使用される)のように、低速動作のマトリクス回路と、それを駆動する高速動作の周辺回路を有する半導体回路に関する。

【0002】

【従来の技術】 最近、絶縁基板上に、薄膜状の活性層(活性領域ともいう)を有する絶縁ゲート型の半導体装置の研究がなされている。特に、薄膜状の絶縁ゲートトランジスタ、いわゆる薄膜トランジスタ(TFT)が熱心に研究されている。これらは、透明な絶縁基板上に形成され、マトリクス構造を有する液晶等の表示装置において、各画素の制御用に利用することや駆動回路に利用することが目的であり、利用する半導体の材料・結晶状態によって、アモルファスシリコンTFTや結晶性シリコンTFTというように区別されている。

【0003】 一般にアモルファス状態の半導体の電界移動度は小さく、したがって、高速動作が要求されるTFTには利用できない。また、アモルファスシリコンでは、P型の電界移動度は著しく小さいので、Pチャネル型のTFT(PMOSのTFT)を作製することができず、したがって、Nチャネル型TFT(NMOSのTFT)と組み合わせて、相補型のMOS回路(CMOS)を形成することができない。

【0004】 しかしながら、アモルファス半導体によって形成したTFTはOFF電流が小さいという特徴を持つ。そこで、液晶ディスプレイのアクティブマトリクスの画素回路のトランジスタのように、それほど的高速動作が要求されず、一方の導電型だけで十分であり、かつ、電荷保持能力の高いTFTが必要とされる用途に利

用されている。しかしながら、高速動作が要求される周辺回路には利用できなかった。

【0005】一方、結晶半導体は、アモルファス半導体よりも電界移動度が大きく、したがって、高速動作が可能である。結晶性シリコンでは、NMOSのTFTだけでなく、PMOSのTFTも同様に得られるのでCMOS回路を形成することが可能で、例えば、アクティブマトリクス方式の液晶表示装置においては、アクティブマトリクス部分のみならず、周辺回路（ドライバ等）をもCMOSの結晶性TFTで構成する、いわゆるモノリシ

ック構造を有するものが知られている。

【0006】しかしながら、結晶性シリコンTFTはゲイトに電圧が印加されていないとき（非選択時）のリーク電流がアモルファスシリコンTFTに比べて大きく、液晶ディスプレイで使用するには、このリーク電流を補うための補助容量を設け、さらにTFTを2段直列にしてリーク電流を減じるという手段が講じられた。

【0007】図3には、液晶ディスプレイに用いられるアクティブマトリクス回路のブロック図を示す。基板7上には周辺ドライバ回路として、列デコーダー1、行デコーダー2が設けられ、また、マトリクス領域3にはトランジスタとキャパシタからなる画素回路4が形成され、マトリクス領域と周辺回路とは、配線5、6によって接続される。周辺回路に用いるTFTは高速動作が、また、画素回路に用いるTFTは低リーク電流が要求されたが、それらの特性は物理的に矛盾するものであるが、同一基板上に同一プロセスで形成することが求められていた。

【0008】通常、結晶性シリコンを得るには600℃程度の温度での長時間のアニールか、もしくは1000℃以上の高温でのアニールが必要であった。例えば、アモルファスシリコンTFTの高いOFF抵抗を利用し、なおかつ、同一基板上にモノリシックに高い移動度を有するポリシリコンTFTの周辺回路を形成しようとする

ことは上記のアニール工程においてアモルファスシリコンが結晶化してしまうため不可能であった。

【0009】

【発明が解決しようとする課題】本発明はこのような困難な課題に対して解答を与えんとするものであるが、そのためにプロセスが複雑化し、歩留り低下やコスト上昇を招くことは望ましくない。本発明の主旨とするところは、高移動度が要求されるTFTと低リーク電流が要求されるTFTという2種類のTFTを最小限のプロセスの変更によって、量産性を維持しつつ、容易に作り分けることにある。

【0010】

【課題を解決するための手段】本発明者の研究の結果、実質的にアモルファス状態のシリコン被膜に微量の触媒材料を添加することによって結晶化を促進させ、結晶化温度を低下させ、結晶化時間を短縮できることが明らか

になった。触媒材料としては、ニッケル（Ni）、鉄（Fe）、コバルト（Co）、白金（Pt）の単体、もしくはそれらの珪化物等の化合物が適している。具体的には、これらの触媒元素を有する膜、粒子、クラスター等をアモルファスシリコン膜の下、もしくは上に密着して形成し、あるいはイオン注入法等の方法によってアモルファスシリコン膜中にこれらの触媒元素を導入し、その後、これを適当な温度、典型的には580℃以下の温度で熱アニールすることによって結晶化させることができる。

【0011】さらに化学的気相成長法（CVD法）によってアモルファスシリコン膜を形成する際には原料ガス中に、また、スパッタリング等の物理的気相法でアモルファスシリコン膜を形成する際には、ターゲットや蒸着源等の成膜材料中に、これらの触媒材料を添加していてもよい。当然のことであるが、アニール温度が高いほど結晶化時間は短いという関係がある。また、ニッケル、鉄、コバルト、白金の濃度が大きいほど結晶化温度が低く、結晶化時間が短いという関係がある。本発明人の研究では、結晶化を進行させるには、これらのうちの少なくとも1つの元素の濃度が $1 \times 10^{11} \text{ cm}^{-2}$ 以上、好ましくは $5 \times 10^{11} \text{ cm}^{-2}$ 以上存在することが必要であることがわかった。

【0012】なお、上記触媒材料はいずれもシリコンにとっては好ましくない材料であるので、できるだけその濃度が低いことが望まれる。本発明人の研究では、これらの触媒材料の濃度は合計して $1 \times 10^{18} \text{ cm}^{-3}$ を越えないことが望まれる。

【0013】さらに、注目すべき事柄は、このような触媒材料の存在しない領域では全く結晶化を進行させることなく、アモルファス状態を維持できることである。例えば、通常、このような触媒材料を有しない、典型的にはその濃度が $1 \times 10^{11} \text{ cm}^{-2}$ 以下、好ましくは $1 \times 10^{10} \text{ cm}^{-2}$ 以下のアモルファスシリコンの結晶化は600℃以上の温度で開始されるが、580℃以下では全く進行しない。ただし、300℃以上の雰囲気ではアモルファスシリコン中のダングリングボンドを中和するのに必要な水素が離脱するので、良好な半導体特性を得るにはアニールは水素雰囲気でおこなわれることが望まれる。

【0014】本発明では、上記の触媒材料による結晶化の特徴を生かして、アモルファスシリコン膜を形成して、一部を選択的に結晶化させて、アクティブマトリクス回路の周辺回路の結晶シリコンTFTに用い、他のアモルファス状態の部分マトリクス領域（画素回路）のアモルファスシリコンTFTとして用いることを特徴とする。この結果、低リーク電流と高速動作という矛盾するトランジスタを有する回路を同一基板上に同時に形成することができる。以下に実施例を用いて、より詳細に本発明を説明する。

【0015】

【実施例】〔実施例1〕 本実施例は同一基板上に実質的に同一プロセスによって、結晶シリコンTFTとアモルファスシリコンTFTを形成する例を示す。図1に本実施例の作製工程の断面図を示す。まず、基板（コーニング7059）10上にスパッタリング法によって厚さ2000Åの酸化珪素の下地膜11を形成した。さらに、プラズマCVD法によって、厚さ500～1500Å、例えば1500Åの真性（I型）のアモルファスシリコン膜12を堆積した。連続して、スパッタリング法によって、厚さ5～200Å、例えば20Åの珪化ニッケル膜（化学式 NiSi_x 、 $0.4 \leq x \leq 2.5$ 、例えば、 $x=2.0$ ）13を図に示すように選択的に形成した。（図1（A））

【0016】そして、これを水素還元雰囲気下（好ましくは、水素の分圧が0.1～1気圧）、500℃で4時間アニールして結晶化させた。この結果、珪化ニッケル膜13の下方のアモルファスシリコン膜は結晶化して結晶シリコン膜12aとなった。一方、珪化ニッケル膜の存在しなかった領域のシリコン膜はアモルファス状態のまま（12b）であった。（図1（B））

【0017】得られたシリコン膜をフォトリソグラフィ法によってパターンニングし、島状シリコン領域14a（結晶シリコン領域）および14b（アモルファスシリコン領域）を形成した。さらに、スパッタリング法によって厚さ1000Åの酸化珪素膜15をゲイト絶縁膜として堆積した。スパッタリングには、ターゲットとして酸化珪素を用い、スパッタリング時の基板温度は200～400℃、例えば350℃、スパッタリング雰囲気は酸素とアルゴンで、アルゴン/酸素=0～0.5、例えば0.1以下とした。引き続いて、減圧CVD法によって、厚さ6000～8000Å、例えば6000Åのシリコン膜（0.1～2%の燐を含む）を堆積した。なお、この酸化珪素とシリコン膜の成膜工程は連続的に起こることが望ましい。そして、シリコン膜をパターンニングして、ゲイト電極16a、16b、16cを形成した。（図1（C））

【0018】次に、プラズマドーピング法によって、シリコン領域にゲイト電極をマスクとして不純物（燐およびホウ素）を注入した。ドーピングガスとして、フォスフィン（ PH_3 ）およびジボラン（ B_2H_6 ）を用い、前者の場合は、加速電圧を60～90kV、例えば80kV、後者の場合は、40～80kV、例えば65kVとした。ドーズ量は $1 \times 10^{17} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、燐を $2 \times 10^{17} \text{ cm}^{-2}$ 、ホウ素を 5×10^{15} とした。この結果、P型の不純物領域17a、N型の不純物領域17bおよび17cが形成された。なお、この際には、燐のドーピングの後に、ニッケルを $1 \times 10^{17} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 、例えば $5 \times 10^{14} \text{ cm}^{-2}$ ドーピングした。（図1（D））

【0019】その後、水素還元雰囲気中、500℃で4時間アニールすることによって、不純物を活性化させた。このとき、先に結晶化された領域14aにはニッケルが拡散しているので、このアニールによって再結晶化が容易に進行し、また、島状半導体領域14bにおいても、燐のドーピングされた領域17cにはニッケルも同時にドーピングされているので、この程度のアニールでも十分に結晶化した。こうして不純物領域17a～17cが活性化した。なお、アモルファスシリコンTFTの活性領域にはニッケルが存在しないので結晶化しなかった。続いて、厚さ6000Åの酸化珪素膜18を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって結晶シリコンTFTの電極・配線19a、19b、19c、アモルファスシリコンTFTの電極・配線19d、19eを形成した。最後に、1気圧の水素雰囲気中350℃、30分のアニールをおこなった。以上の工程によって半導体回路が完成した。（図1（E））

得られたTFTの活性領域に含まれるニッケルの濃度を2次イオン質量分析（SIMS）法によって測定したところ、結晶シリコンTFTでは、 $1 \times 10^{14} \sim 5 \times 10^{16} \text{ cm}^{-3}$ のニッケルが観測されたが、アモルファスシリコンではニッケルは測定限界（ $1 \times 10^{14} \text{ cm}^{-3}$ ）以下であった。

【0020】〔実施例2〕 本実施例は、結晶シリコンTFTを周辺ドライバ回路に、また、アモルファスシリコンTFTを画素回路に用いたものである。図2に本実施例の作製工程の断面図を示す。基板（コーニング7059）20上にスパッタリングによって厚さ500～2000Å、例えば1000Åのタンタル被膜を形成し、これをパターンニングしてアモルファスシリコンTFTのゲイト電極配線21を形成した。タンタルの配線の周囲には、陽極酸化によって厚さ1000～3000Å、例えば1500Åの陽極酸化膜22を設けた。

【0021】そして、スパッタリング法によって、厚さ2000Åの酸化珪素膜23を形成した。この酸化珪素膜23は、アモルファスシリコンTFTのゲイト絶縁膜として機能すると同時に、結晶シリコンTFTの下地絶縁膜としても機能する。その後、プラズマCVD法によって、厚さ200～1500Å、例えば500Åのアモルファスシリコン膜24を堆積した。そして、アモルファスシリコン膜24をフォトレジスト25でマスクして、イオン注入法によって選択的にニッケルイオンを注入し、ニッケルが $1 \times 10^{17} \sim 2 \times 10^{14} \text{ cm}^{-3}$ 、例えば、 $5 \times 10^{15} \text{ cm}^{-3}$ だけ含まれるような領域26を作製した。

【0022】この領域26の深さは200～500Åとし、加速エネルギーはそれに合わせて最適なものを選択した。また、結晶性シリコンTFTにおいて活性領域と

なるべき領域にはニッケルが注入されないようにした。ただし、チャネル長は $20\mu\text{m}$ 以下、好ましくは $10\mu\text{m}$ 以下とした。それ以上のチャネル長では活性領域全体を結晶化させることができなかった。(図2(A))

【0023】そして、 $0.1\sim 1$ 気圧の水素雰囲気下、 550°C で8時間アニールして結晶化させた。この結晶化工程によって、ニッケルの注入された領域はもちろん、その領域に挟まれた領域やその周囲(図2(B))において24aで示すも結晶化した。 550°C 、8時間のアニールでは横方向に約 $10\mu\text{m}$ の結晶化が進行した。一方、ニッケルが注入されなかった領域24bはアモルファス状態のままであった。(図2(B))

【0024】その後、このシリコン膜をバターニングして、島状シリコン領域27a(結晶シリコン領域)および27b(アモルファスシリコン領域)を形成した。さらに、テトラ・エトキシ・シラン($\text{Si}(\text{OC}_2\text{H}_5)_4$)、 TEOS と酸素を原料として、プラズマCVD法によって結晶シリコンTFTのゲイト絶縁膜として、厚さ 1000\AA の酸化珪素28を形成した。原料には、上記ガスに加えて、トリクロロエチレン(C_2HCl_3)を用いた。成膜前にチャンバーに酸素を 400SCCM 流し、基板温度 300°C 、全圧 5Pa 、RFパワー 150W でプラズマを発生させ、この状態を10分保った。その後、チャンバーに酸素 300SCCM 、 TEOS を 15SCCM 、トリクロロエチレンを 2SCCM を導入して、酸化珪素膜の成膜をおこなった。基板温度、RFパワー、全圧は、それぞれ 300°C 、 75W 、 5Pa であった。成膜完了後、チャンバーに 100Torr の水素を導入し、 350°C で35分の水素アニールをおこなった。

【0025】引き続いて、スパッタリング法によって、厚さ $6000\sim 8000\text{\AA}$ 、例えば 6000\AA のアルミニウム膜(2%のシリコンを含む)を堆積した。アルミニウムの代わりにタンタル、チタン、タングステン、モリブデンでもよい。なお、この酸化珪素28とアルミニウム膜の成膜工程は連続的にこなうことが望ましい。そして、アルミニウム膜をバターニングして、TFTのゲイト電極29a、29bを形成した。さらに、このアルミニウム配線の表面を陽極酸化して、表面に酸化物質層を形成した。陽極酸化は、酒石酸の1~5%エチレングリコール溶液中でおこなった。得られた酸化物質層の厚さは 2000\AA であった。また、裏面からの露光によって、アモルファスシリコンTFTのシリコン上にゲイト電極21に自己整合的にフォトレジストのマスク30を形成した。(図2(C))

【0026】次に、プラズマドーピング法によって、シリコン領域に不純物(燐)を注入した。ドーピングガスとして、フォスフィン(PH_3)を用い、加速電圧を $60\sim 90\text{kV}$ 、例えば 80kV とした。ドーズ量は $1\times 10^{14}\sim 8\times 10^{14}\text{cm}^{-2}$ 、例えば、 $2\times 10^{14}\text{cm}^{-2}$

とした。このようにしてN型の不純物領域31aおよび31cを形成した。さらに、今度は左側の結晶シリコンTFT(Nチャネル型TFT)およびアモルファスシリコンTFT(マトリクス領域)をフォトレジストでマスクして、再び、プラズマドーピング法で右側の結晶シリコンTFT(PチャネルTFT)のシリコン領域に不純物(ホウ素)を注入した。ドーピングガスとして、ジボラン(B_2H_6)を用い、加速電圧を $50\sim 80\text{kV}$ 、例えば 65kV とした。ドーズ量は $1\times 10^{14}\sim 8\times 10^{14}\text{cm}^{-2}$ 、例えば、先に注入された燐より多い $5\times 10^{14}\text{cm}^{-2}$ とした。このようにしてP型の不純物領域31bを形成した。

【0027】その後、レーザーアニール法によって不純物の活性化をおこなった。レーザーとしてはKrFエキシマーレーザー(波長 248nm 、パルス幅 20nsec)を用いたが、その他のレーザー、例えば、XeFエキシマーレーザー(波長 353nm)、XeClエキシマーレーザー(波長 308nm)、ArFエキシマーレーザー(波長 193nm)等を用いてもよい。レーザーのエネルギー密度は、 $200\sim 400\text{mJ}/\text{cm}^2$ 、例えば $250\text{mJ}/\text{cm}^2$ とし、1か所につき2~10ショット、例えば2ショット照射した。レーザー照射時に、基板を $200\sim 450^\circ\text{C}$ 程度に加熱してもよい。基板を加熱した場合には最適なレーザーエネルギー密度が温度によって変わることには注意しなければならない。なお、アモルファスシリコンTFTの活性領域は、その上にマスク30が存在するため結晶化しなかった。この結果、結晶シリコンTFTの不純物領域31a、31bおよびアモルファスシリコンTFTの不純物領域31cが活性化された。(図2(D))

【0028】続いて、層間絶縁物として厚さ 2000\AA の酸化珪素膜32を TEOS を原料とするプラズマCVD法によって形成し、さらに、スパッタリング法によって、厚さ $500\sim 1000\text{\AA}$ 、例えば 800\AA のインジウム錫酸化膜(ITO)を堆積した。そして、これをエッチングして画素電極33を形成した。さらに、層間絶縁物32にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって結晶シリコンTFT(周辺ドライバー回路)のソース、ドレイン電極・配線34a、34b、34cおよびアモルファスシリコンTFT(画素回路)の電極・配線34d、34eを形成した。以上の工程によって半導体回路が完成した。(図2(E))

【0029】作製された半導体回路において、結晶シリコンTFT(周辺ドライバー回路)の特性は従来の 600°C のアニールによって結晶化する工程によって作製されたものとは何ら劣るところはなかった。例えば、本実施例によって作成したシフトレジスタは、ドレイン電圧 1.5V で 11MHz 、 1.7V で 16MHz の動作を確認できた。また、信頼性の試験においても従来のものとの

差を見出せなかった。さらに、アモルファスシリコンTFT（画素回路）の特性に関しては、リーク電流は 10^{-11} A以下であった。

【0030】

【発明の効果】本発明によって、同一基板上に、同一プロセスによって、高速動作が可能な結晶性シリコンTFTと低リーク電流を特徴とするアモルファスシリコンTFTを形成することができた。これを液晶ディスプレイに応用した場合には、量産性の向上と特性の改善が図られる。

【0031】また、本発明は、例えば、500℃というような低温、かつ、4時間という短時間でシリコンの結晶化をおこなうことによって、スループットを向上させることができる。加えて、従来、600℃以上のプロセスを採用した場合にはガラス基板の縮みやソリが歩留り低下の原因として問題となっていたが、本発明を利用することによってそのような問題点は一気に解消してしまう。

【0032】このことは、大面積の基板を一度に処理できることを意味するものである。すなわち、大面積基板を処理することによって、1枚の基板から多くの半導体

回路（的理補回路等）を切りだすことによって単価を大幅に低下させることができる。このように本発明は工業上有益な発明である。

【図面の簡単な説明】

【図1】 実施例1の作製工程断面図を示す。

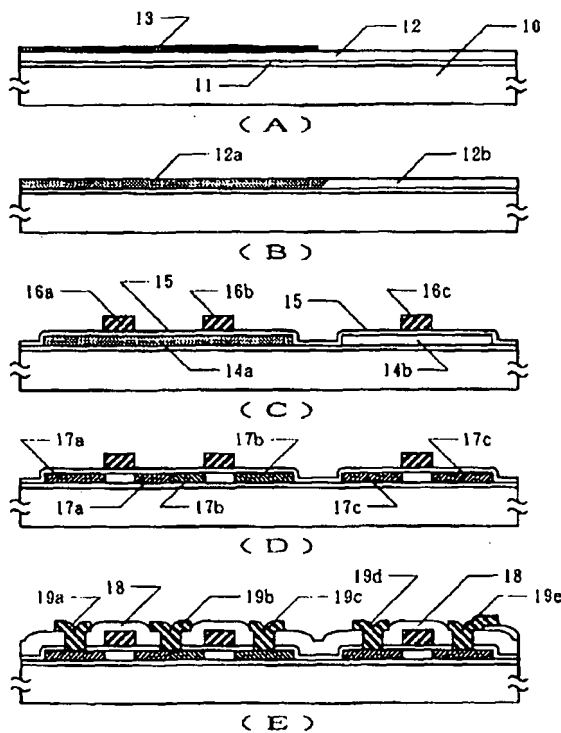
【図2】 実施例2の作製工程断面図を示す。

【図3】 モノリシック型アクティブマトリクス回路の構成例を示す。

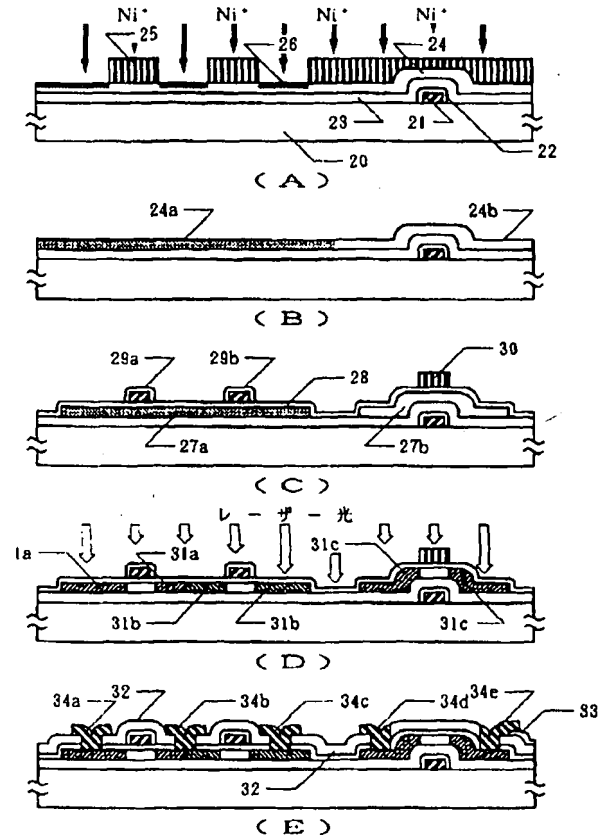
【符号の説明】

- 10・・・基板
11・・・下地絶縁膜（酸化珪素）
12・・・アモルファスシリコン膜
13・・・珪化ニッケル膜
14・・・島状シリコン領域
15・・・ゲイト絶縁膜（酸化珪素）
16・・・ゲイト電極（燐ドーパされたシリコン）
17・・・ソース、ドレイン領域
18・・・層間絶縁物
19・・・金属配線・電極（酸化チタン／アルミニウム）

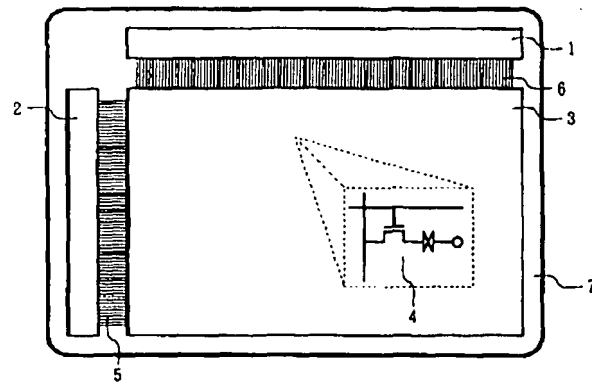
【図1】



【図2】



【図3】



フロントページの続き

(51) Int. Cl.

H01L 21/324

識別記号

序内整理番号

F I

技術表示箇所

Z 8617-4M

(72) 発明者 竹村 保彦

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内